

POWERED BY **Dialog**

Memory structure for microcomputer - has control unit that prohibits write-in memory when access address granted is similar to that of access prohibition address stored in separate register

Patent Assignee: TOSHIBA KK

Inventors: HAYAKASHI Y

Patent Family

Patent Number	Kind	Date	Application Number	Kind	Date	Week	Type
JP 11110294	A	19990423	JP 97268838	A	19971001	199927	B
US 6715049	B1	20040330	US 98162999	A	19980930	200423	

Priority Applications (Number Kind Date): JP 97268838 A (19971001)

Patent Details

Patent	Kind	Language	Page	Main IPC	Filing Notes
JP 11110294	A		8	G06F-012/14	
US 6715049	B1			G06F-012/14	

Abstract:

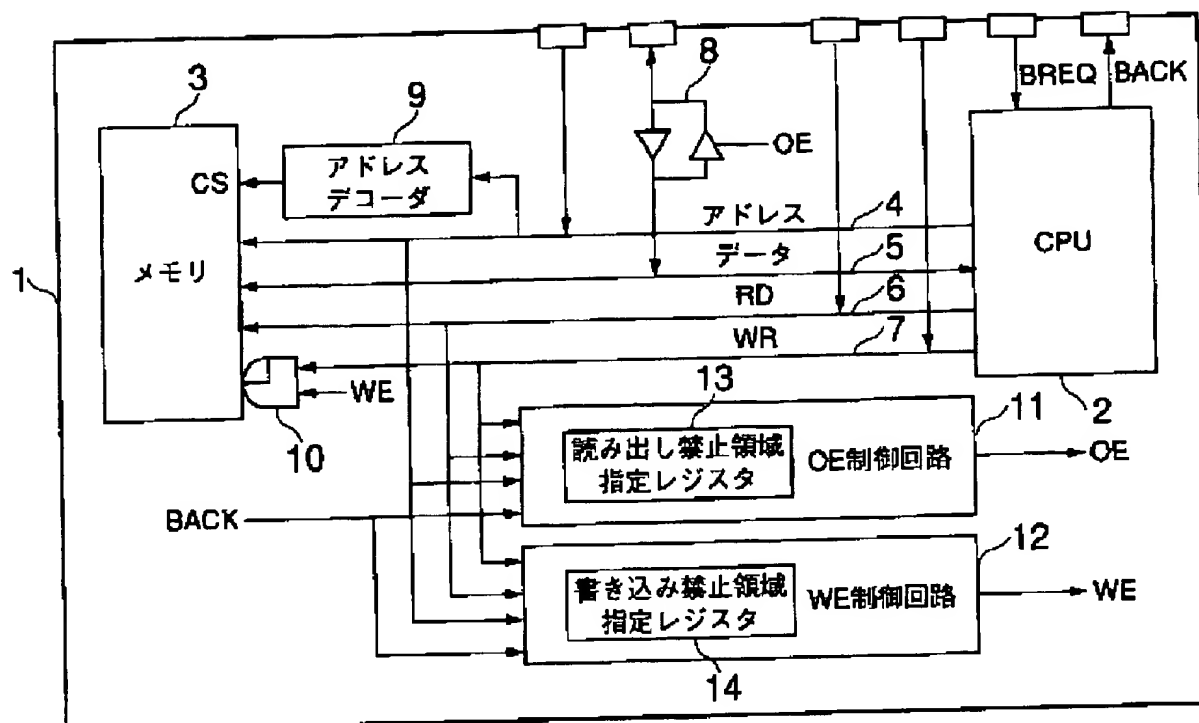
JP 11110294 A

NOVELTY - A register (13) holds access prohibition address which shows memory area prohibited for external access. When an access to external bus is granted, the address is compared with access prohibition address. A control unit prohibits write-in memory if address is same as prohibition address, otherwise stores in a register (14).

USE - For microcomputer.

ADVANTAGE - Protection of memory information and safety is attained by limiting access from external memory. **DESCRIPTION OF DRAWING(S)** - The figure shows diagram of structure of microcomputer employing the memory structure. (13,14) Registers.

Dwg.1/5



Derwent World Patents Index

© 2005 Derwent Information Ltd. All rights reserved.

Dialog® File Number 351 Accession Number 12511819

(11)特許出願公開番号

特開平11-110294

(43)公開日 平成11年(1999)4月23日

(51) Int.Cl.⁸
G 0 6 F 12/14

識別記号
310

F I
C O 6 F 12/14

3 1 0 H

審査請求 未請求 請求項の数16 ○L (全 8 頁)

(21) 出版番号 特願平9-268838

(22) 山崎日 平成9年(1997)10月1日

(71)出願人 000003078

株式会社東芝

神奈川 川崎 幸区 堀川町72番地

(72) 發明者 早貸 由起

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

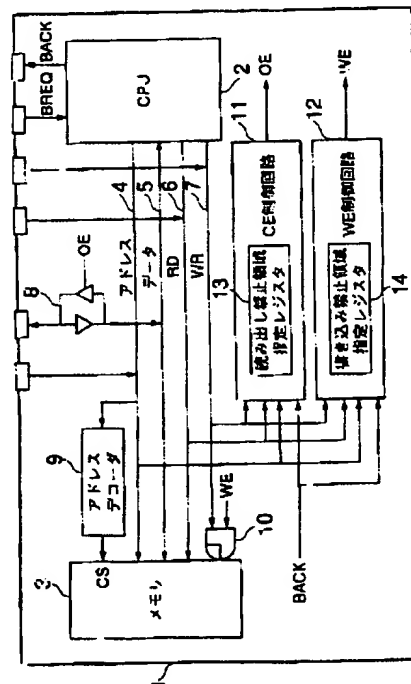
(74)代理人 弁理士 三好 秀和 (外3名)

(54)【発明の名称】 マイクロコンピュータ及び情報処理装置

(57) 【要約】

【課題】 この発明は、記憶情報の機密保護ならびに安全性の確保を達成し得るマイクロコンピュータ及び情報処理装置を提供することを課題とする。

【解決手段】 この発明は、マイクロコンピュータ１に内蔵されるメモリ３に対して外部からのアクセスを禁止する記憶領域のアドレスを読み出し禁止領域指定レジスタ１３又は書き込み禁止領域指定レジスタ１４に設定し、アクセスアドレスがそれぞれのレジスタに設定されたアドレスに含まれる場合はメモリ３へのアクセスを禁止するように構成される。



【特許請求の範囲】

【請求項1】 記憶情報を外部からアクセス可能なメモリと、
前記メモリとの間に設けられたアドレスバスとデータバスのバス権を支配し、外部からバス権の要求を受けて受け付けるとバス権を与えて前記バスの使用を許可するCPUと、
前記メモリの記憶領域に対して外部からのアクセスを禁止する記憶領域を示すアクセス禁止アドレスを保持するレジスタと、
外部にバス権が与えられて前記メモリが外部から読み出し又は書き込みアクセスされた時に、アクセスアドレスと前記レジスタに保持されたアクセス禁止アドレスを比較し、アクセスアドレスがアクセス禁止アドレスに含まれている場合には、前記メモリの読み出しアドレスに対応した記憶情報の外部への読み出し又は外部から与えられた書き込みデータの前記メモリへの書き込みを禁止する制御回路とを有することを特徴とするマイクロコンピュータ。

【請求項2】 前記アクセス禁止アドレスは、前記メモリにプログラムが格納された記憶領域又は特定のデータが格納された記憶領域を示すアドレスであることを特徴とする請求項1記載のマイクロコンピュータ。

【請求項3】 CPUと、
このCPU及び外部からアクセス可能なメモリと、
前記CPU又は外部から前記メモリにアクセスアドレスが転送されるアドレスバスと、
前記CPU又は外部と前記メモリとの間を入出力するデータが転送されるデータバスと、
前記メモリの読み出しが行われる際に、前記CPU又は外部から前記メモリに読み出し制御信号が転送される読み出し制御信号線と、
前記メモリの書き込みが行われる際に、前記CPU又は外部から前記メモリに書き込み制御信号が転送される書き込み制御信号線と、
前記データバスと外部との入出力を制御する入出力バッファと、
前記アドレスバスのアドレスを受けて前記メモリを許可状態に選択するアドレスデコードと、
前記書き込み制御信号と書き込み許可信号により前記メモリを書き込み可能状態とするゲートと、
前記入出力バッファのデータ出力を制御する出力許可信号を生成して、前記入出力バッファに供給する出力制御回路と、
書き込み許可信号を生成して前記ゲートに供給する書き込み制御回路とを有することを特徴とするマイクロコンピュータ。

【請求項4】 CPUと、
このCPU及び外部からアクセス可能なメモリと、
前記CPU又は外部から前記メモリに読み出しアドレス

が転送されるアドレスバスと、
前記CPU又は外部と前記メモリとの間を入出力するデータが転送されるデータバスと、
前記メモリの読み出しが行われる際に、前記CPU又は外部から前記メモリに読み出し制御信号が転送される読み出し制御信号線と、
前記データバスと外部との入出力を制御する入出力バッファと、
前記入出力バッファのデータ出力を制御する出力許可信号を生成して、前記入出力バッファに供給する出力制御回路とを有することを特徴とするマイクロコンピュータ。

【請求項5】 前記出力制御回路は、読み出し禁止指定レジスタを有することを特徴とする請求項3又は4記載のマイクロコンピュータ。

【請求項6】 前記読み出し禁止指定レジスタは、前記メモリの外部からの読み出しを禁止する記憶領域を設定する情報を有することを特徴とする請求項5記載のマイクロコンピュータ。

【請求項7】 前記出力制御回路は、前記CPUがバスマスタでかつ書き込みサイクルである場合、あるいは外部バスマスタがバス権を取得してバスマスタでかつ読み出しサイクルであり、前記読み出しアドレスが禁止領域に含まれない場合には、出力許可信号を出力することを特徴とする請求項3又は4記載のマイクロコンピュータ。

【請求項8】 前記出力制御回路は、読み出しアドレスが読み出しを禁止する領域に含まれるか否かを判別する禁止領域比較回路を有することを特徴とする請求項3又は4記載のマイクロコンピュータ。

【請求項9】 CPUと、
このCPU及び外部からアクセス可能なメモリと、
前記CPU又は外部から前記メモリに書き込みアドレスが転送されるアドレスバスと、
前記CPU又は外部と前記メモリとの間を入出力するデータが転送されるデータバスと、
前記メモリの書き込みが行われる際に、前記CPU又は外部から前記メモリに書き込み制御信号が転送される書き込み制御信号線と、
前記書き込み制御信号と書き込み許可信号の論理積をとり前記メモリを書き込み可能状態とするゲートと、
書き込み許可信号を生成して前記ゲートに供給する書き込み制御回路とを有することを特徴とするマイクロコンピュータ。

【請求項10】 前記書き込み制御回路は、書き込み禁止指定レジスタを有することを特徴とする請求項3又は9記載のマイクロコンピュータ。

【請求項11】 前記書き込み禁止指定レジスタは、前記メモリの外部からの書き込みを禁止する記憶領域を設定する情報を有することを特徴とする請求項10記載の

マイクロコンピュータ。

【請求項12】 前記書き込み制御回路は、外部バスマスタがバス権を取得してバスマスタでかつ書き込みサイクルであり、前記書き込みアドレスが禁止領域に含まれない場合には、書き込み許可信号を出力することを特徴とする請求項3又は9記載のマイクロコンピュータ。

【請求項13】 前記書き込み制御回路は、書き込みアドレスが書き込みを禁止する領域に含まれるか否かを判別する禁止領域比較回路を有することを特徴とする請求項3又は9記載のマイクロコンピュータ。

【請求項14】 記憶情報を外部からアクセス可能なメモリと、前記メモリとの間に設けられたアドレスバスとデータバスのバス権を支配し、外部からバス権の要求を受けて受け付けるとバス権を与えて前記バスの使用を許可するCPUと、前記メモリの記憶領域に対して外部からのアクセスを禁止する記憶領域を示すアクセス禁止アドレスを保持するレジスタと、外部にバス権が与えられて前記メモリが外部から読み出し又は書き込みアクセスされた時に、アクセスアドレスと前記レジスタに保持されたアクセス禁止アドレスを比較し、アクセスアドレスがアクセス禁止アドレスに含まれている場合には、前記メモリの読み出しアドレスに対応した記憶情報の外部への読み出し又は外部から与えられた書き込みデータの前記メモリへの書き込みを禁止する制御回路とを有するマイクロコンピュータと、

前記CPUにバス権を要求するバス権要求信号を出力し、要求が受け付けられて前記CPUからバス権許可信号を受けてバス権を取得すると、前記アドレスバス及びデータバスを介して前記メモリをアクセスする外部バスマスタとを有することを特徴とする情報処理装置。

【請求項15】 前記CPU又は前記外部バスマスタがアクセス可能な外部メモリを備えてなることを特徴とする請求項14記載の情報処理装置。

【請求項16】 前記マイクロコンピュータは1チップ化され、前記外部バスマスタと前記外部メモリは1チップ化されてなることを特徴とする請求項15記載の情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、外部のアクセスから記憶内容を保護したメモリを備えたマイクロコンピュータ及び情報処理装置に関する。

【0002】

【従来の技術】CPU（演算処理装置）により制御されるシステムは、バス制御の観点から見ると例えばCPU、CPU以外のバスマスタ、メモリ及びペリフェラル等により構成される。このようなシステムでは、近年のプロセス技術の進歩によりCPUにメモリが混載されて1チップ化されたマイクロコンピュータを備えているものが多くなっている。このようなシステムは、例えば図

3に示すようにCPU101とメモリ102を有するマイクロコンピュータ103と、外部バスマスタ104、メモリ105又はペリフェラルから構成される。これらの構成要素は、データバス106、アドレスバス107、制御信号線108により相互接続され、バス権を採ったCPU101又は外部バスマスタ104のデバイスがこれらのバス/信号をドライブしていた。

【0003】マイコン103に内蔵されたメモリ102への外部バスマスタ104からのアクセスに関しては、メモリ102のプログラムが格納された領域にアクセスを許可する必要はないが、メモリ102のデータが格納された領域においては外部バスマスタ104がアクセスする可能性がある。

【0004】バス権取得のメカニズムは、一般的に図4のタイミングチャートに示すようにバス権要求信号（BREQバー）とバス権譲渡承認信号（BACKバー）の2つの信号のハンドシェイクにより実現される。バス権を支配するCPU101に対して外部バスマスタ104がバス権を要求する場合には、まず外部バスマスタ104がバス権要求のためバス権要求信号をアサートし、これに対してCPU101がバス権を譲渡できる状態であればバス権譲渡承認信号をアサートする。外部バスマスタ104はバス権譲渡承認信号のアサートを受けて自分自身がバスマスタになったことを認知し、バス権を取得しバスをドライブする。外部バスマスタ104はバス権が不要になった時はバス権要求信号をネゲートしてCPU101に知らせる。CPU101は外部バスマスタ104からバス権要求信号のネゲートを受けてバス権譲渡承認信号をネゲートし、再びCPU101自身がバス権を取得しバスのドライブを始める。このように、マイコン103に内蔵されたメモリ102は、外部から容易にアクセスすることができる。

【0005】一方、メモリ102は機密保持の観点から外部からのデータの読み出し/書き込みを制限する必要がある。しかしながら、上述したように外部からメモリ102へのアクセスが容易に行い得るような場合には、図5に示すようにマイコン103に動作クロック（CLOCK）を入力し、適当なタイミングでリセット信号（RESETバー）のアサート/ネゲートを行い、バス権要求信号（BREQバー）をアサートするという極めて簡単な手法により、外部からメモリ102のアクセスが可能になっていた。

【0006】

【発明が解決しようとする課題】以上説明したように、外部からアクセス可能なメモリを備えた従来のマイコンにあっては、CPU内のアドレスバス及びデータバスのバス権を取得するだけで外部のバスマスタがマイコン内のメモリを容易にアクセスすることが可能であった。このため、極めて簡単な手法によって、メモリに記憶された記憶情報が外部に読み出されたり、あるいは記憶情報

が外部から書き換えられ、記憶情報を保護することが困難であるという不具合を招いていた。

【0007】そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、記憶情報の機密保護ならびに安全性の確保を達成し得るマイクロコンピュータ及び情報処理装置を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、記憶情報を外部からアクセス可能なメモリと、前記メモリとの間に設けられたアドレスバスとデータバスのバス権を支配し、外部からバス権の要求を受けて受け付けるとバス権を与えて前記バスの使用を許可するCPUと、前記メモリの記憶領域に対して外部からのアクセスを禁止する記憶領域を示すアクセス禁止アドレスを保持するレジスタと、外部にバス権が与えられて前記メモリが外部から読み出し又は書き込みアクセスされた時に、アクセスアドレスと前記レジスタに保持されたアクセス禁止アドレスを比較し、アクセスアドレスがアクセス禁止アドレスに含まれている場合には、前記メモリの読み出しアドレスに対応した記憶情報の外部への読み出し又は外部から与えられた書き込みデータの前記メモリへの書き込みを禁止する制御回路とを有することを特徴とする。

【0009】請求項2記載の発明は、請求項1記載のマイクロコンピュータにおいて、前記アクセス禁止アドレスは、前記メモリにプログラムが格納された記憶領域又は特定のデータが格納された記憶領域を示すアドレスであることを特徴とする。

【0010】請求項3記載の発明は、CPUと、このCPU及び外部からアクセス可能なメモリと、前記CPU又は外部から前記メモリにアクセスアドレスが転送されるアドレスバスと、前記CPU又は外部と前記メモリとの間を入出力するデータが転送されるデータバスと、前記メモリの読み出しが行われる際に、前記CPU又は外部から前記メモリに読み出し制御信号が転送される読み出し制御信号線と、前記メモリの書き込みが行われる際に、前記CPU又は外部から前記メモリに書き込み制御信号が転送される書き込み制御信号線と、前記データバスと外部との入出力を制御する入出力バッファと、前記アドレスバスのアドレスを受けて前記メモリを許可状態に選択するアドレスデコーダと、前記書き込み制御信号と書き込み許可信号により前記メモリを書き込み可能状態とするゲートと、前記入出力バッファのデータ出力を制御する出力許可信号を生成して、前記入出力バッファに供給する出力制御回路と、書き込み許可信号を生成して前記ゲートに供給する書き込み制御回路とを有することを特徴とする。

【0011】請求項4記載の発明は、CPUと、このCPU及び外部からアクセス可能なメモリと、前記CPU又は外部から前記メモリに読み出しアドレスが転送され

るアドレスバスと、前記CPU又は外部と前記メモリとの間を入出力するデータが転送されるデータバスと、前記メモリの読み出しが行われる際に、前記CPU又は外部から前記メモリに読み出し制御信号が転送される読み出し制御信号線と、前記データバスと外部との入出力を制御する入出力バッファと、前記入出力バッファのデータ出力を制御する出力許可信号を生成して、前記入出力バッファに供給する出力制御回路とを有することを特徴とする。

【0012】請求項5記載の発明は、請求項3又は4記載のマイクロコンピュータにおいて、前記出力制御回路は、読み出し禁止指定レジスタを有することを特徴とする。

【0013】請求項6記載の発明は、請求項5記載のマイクロコンピュータにおいて、前記読み出し禁止指定レジスタは、前記メモリの外部からの読み出しを禁止する記憶領域を設定する情報を有することを特徴とする。

【0014】請求項7記載の発明は、請求項3又は4記載のマイクロコンピュータにおいて、前記出力制御回路は、前記CPUがバスマスタでかつ書き込みサイクルである場合、あるいは外部バスマスタがバス権を取得してバスマスタでかつ読み出しサイクルであり、前記読み出しアドレスが禁止領域に含まれない場合には、出力許可信号を出力することを特徴とする。

【0015】請求項8記載の発明は、請求項3又は4記載のマイクロコンピュータにおいて、前記出力制御回路は、読み出しアドレスが読み出しを禁止する領域に含まれるか否かを判別する禁止領域比較回路を有することを特徴とする。

【0016】請求項9記載の発明は、CPUと、このCPU及び外部からアクセス可能なメモリと、前記CPU又は外部から前記メモリに書き込みアドレスが転送されるアドレスバスと、前記CPU又は外部と前記メモリとの間を入出力するデータが転送されるデータバスと、前記メモリの書き込みが行われる際に、前記CPU又は外部から前記メモリに書き込み制御信号が転送される書き込み制御信号線と、前記書き込み制御信号と書き込み許可信号の論理積をとり前記メモリを書き込み可能状態とするゲートと、書き込み許可信号を生成して前記ゲートに供給する書き込み制御回路とを有することを特徴とする。

【0017】請求項10記載の発明は、請求項3又は9記載のマイクロコンピュータにおいて、前記書き込み制御回路は、書き込み禁止指定レジスタを有することを特徴とする。

【0018】請求項11記載の発明は、請求項10記載のマイクロコンピュータにおいて、前記書き込み禁止指定レジスタは、前記メモリの外部からの書き込みを禁止する記憶領域を設定する情報を有することを特徴とする。

【0019】請求項12記載の発明は、請求項3又は9記載のマイクロコンピュータにおいて、前記書き込み制御回路は、外部バスマスタがバス権を取得してバスマスタでかつ書き込みサイクルであり、前記書き込みアドレスが禁止領域に含まれない場合には、書き込み許可信号を出力することを特徴とする。

【0020】請求項13記載の発明は、請求項3又は9記載のマイクロコンピュータにおいて、前記書き込み制御回路は、書き込みアドレスが書き込みを禁止する領域に含まれるか否かを判別する禁止領域比較回路を有することを特徴とする。

【0021】請求項14記載の発明は、記憶情報を外部からアクセス可能なメモリと、前記メモリとの間に設けられたアドレスバスとデータバスのバス権を支配し、外部からバス権の要求を受けて受け付けるとバス権を与えて前記バスの使用を許可するCPUと、前記メモリの記憶領域に対して外部からのアクセスを禁止する記憶領域を示すアクセス禁止アドレスを保持するレジスタと、外部にバス権が与えられて前記メモリが外部から読み出し又は書き込みアクセスされた時に、アクセスアドレスと前記レジスタに保持されたアクセス禁止アドレスを比較し、アクセスアドレスがアクセス禁止アドレスに含まれている場合には、前記メモリの読み出しアドレスに対応した記憶情報の外部への読み出し又は外部から与えられた書き込みデータの前記メモリへの書き込みを禁止する制御回路とを有するマイクロコンピュータと、前記CPUにバス権を要求するバス権要求信号を出力し、要求が受け付けられて前記CPUからバス権許可信号を受けてバス権を取得すると、前記アドレスバス及びデータバスを介して前記メモリをアクセスする外部バスマスタとを有することを特徴とする。

【0022】請求項15記載の発明は、請求項14記載の情報処理装置において、前記CPU又は前記外部バスマスタがアクセス可能な外部メモリを備えてなることを特徴とする。

【0023】請求項16記載の発明は、請求項15記載の情報処理装置において、前記マイクロコンピュータは1チップ化され、前記外部バスマスタと前記外部メモリは1チップ化されてなることを特徴とする。

【0024】

【発明の実施の形態】以下、図面を用いてこの発明の実施の形態を説明する。

【0025】図1は本発明の一実施形態に係わるマイクロコンピュータの構成を示す図である。

【0026】図1において、マイクロコンピュータ1は、種々の演算処理を行い制御中枢となるCPU2と、CPU2ならびに外部からアクセス可能な例えばフラッシュメモリやSRAM、DRAM、MRAM等のメモリ3と、CPU2又は外部からメモリ3にアクセスアドレスが転送されるアドレスバス4と、CPU2又は外部と

メモリ3との間に入出力するデータが転送されるデータバス5と、メモリ3の読み出しが行われる際にCPU2又は外部からメモリ3に読み出し制御信号(RD信号)が転送される読み出し制御信号線6と、メモリ3の書き込みが行われる際にCPU2又は外部からメモリ3に書き込み制御信号(WR信号)が転送される書き込み制御信号線7と、データバス5と外部とのデータの入出力を制御する入出力バッファ8と、アドレスバス4のアドレスを受けてメモリ3をイネーブル状態に選択するアドレスデコーダ9と、書き込み制御信号とライトイネーブル(WE)信号の論理積をとりメモリ3を書き込み可能状態とするAND(アンド)ゲート10と、入出力バッファ8のデータ出力を制御するアウトプットイネーブル(OE)信号を生成して入出力バッファ8に供給するOE制御回路11と、ライトイネーブル(WE)信号を生成してANDゲート10に供給するWE制御回路12を備えて構成されている。

【0027】CPU2は、メモリ3の全ての記憶領域に対してアクセス可能であり、アドレスバス4ならびにデータバス5のバス権を支配する。CPU2は、外部のバスマスタ(図示せず)からバス権の使用を要求するバス権要求信号(BREQ)を受けて許可するとバス権譲渡承認信号(BACK)を外部バスマスタに与えてバス権を外部バスマスタに譲渡する。

【0028】OE制御回路11は、読み出し禁止領域指定レジスタ13を備えている。読み出し禁止領域指定レジスタ13は、メモリ3の外部からの読み出しを禁止する記憶領域を設定する情報、例えば先頭番地と終了番地又は先頭番地と領域の長さがマイコン1のリセット直後のブートプログラムにより予めセットされるレジスタである。OE制御回路11は、書き込み制御信号(WR信号)、読み出し制御信号(RD信号)、アドレスバス4の読み出しアドレスならびにバス権譲渡承認信号(BACK)を受けて、CPU2がバスマスタでかつ書き込みサイクルである場合(CPU2がメモリ3を書き込みアクセスする場合)、あるいは外部バスマスタがバス権を取得してバスマスタとなりまた読み出しサイクルでかつ読み出しアドレスが禁止領域に含まれない場合には、OE信号をアサートする。

【0029】このようなOE制御回路11は、例えば図2に示すよう、読み出し禁止領域の先頭番地を格納するレジスタ15と、読み出し禁止領域の終了番地を格納するレジスタ16と、読み出しアドレスとレジスタ15のアドレスを比較して先頭番地>読み出しアドレスを検出するコンパレータ17と、読み出しアドレスとレジスタ16のアドレスを比較して終了番地<読み出しアドレスを検出するコンパレータ18と、コンパレータ17、18の検出結果の論理和をとるORゲート19を有する禁止領域比較回路20を複数備え、かつそれぞれの禁止領域比較回路20の比較結果と読み出し制御信号(RD信

号)とバス権譲渡承認信号(BACK)を受けるANDゲート21と、反転ゲート22で反転されたバス権譲渡承認信号と書き込み制御信号(WR信号)を受けるANDゲート23と、ANDゲート21、23の出力を受けてOE信号を出力するORゲート24を備えて構成される。

【0030】WE制御回路12は、書き込み禁止領域指定レジスタ14を備えている。書き込み禁止領域指定レジスタ14は、メモリ3に外部からの書き込みを禁止する領域を設定する情報、例えば先頭番地と終了番地又は先頭番地と領域の長さがマイコン1のリセット直後のブートプログラムにより予めセットされるレジスタである。WE制御回路12は、書き込み制御信号(WR信号)、読み出し制御信号(RD信号)、アドレスバス4の書き込みアドレスならびにバス権譲渡承認信号(BACK)を受けて、外部バスマスタがバス権を取得してバスマスタとなりまた書き込みサイクルでかつ書き込みアドレスが禁止領域に含まれない場合に、WE信号をアサートする。WE制御回路12は、図2に示すOE制御回路に対して、例えば反転ゲート22、ANDゲート23ならびにORゲート24を削除し、RD信号に代えてWR信号をANDゲート21に入力し、ANDゲート21の出力をWE信号とすることにより実現される。

【0031】このような構成において、外部バスマスタがバス権を取得してバスサイクルを開始しメモリ3をアクセスした場合に、アクセスアドレスがアクセス禁止領域に含まれるか否かが禁止領域比較回路20により判別され、含まれる場合には上述したようにOE信号又はWE信号が制御されてメモリ3の外部からのアクセスが不可能となる。これにより、例えば図5に示すような簡単な外部回路によりメモリ3の不正なアクセスを禁止することができ、マイコン1に内蔵されたメモリ3の記憶情報の機密保護ならびに安全性を確保することができる。

【0032】なお、本発明は、メモリ3に対して読み込みだけを禁止する、又は書き込みだけを禁止するようにしてもよい。また、メモリ3の読み出し禁止領域をアクセスした場合に、データバス5をフローティング状態とし、あるいは割り込み処理を起動してメモリ3の該当するデータを消去するようにしてもよい。メモリ3のアクセス禁止領域は、例えば外部に知られたくないプログラムや特定のデータが格納された領域等に設定され、任意の領域に設定されるものであり、全領域であってもよい。また、上述したマイクロコンピュータ1は、CPU2にバス権を要求するバス権要求信号を出力し、要求が受け付けられてCPU2からバス権譲渡承認信号を受けてバス権を取得すると、アドレスバス4及びデータバス

5を介してメモリ3をアクセスする外部バスマスタとともに情報処理装置を構築してもよく、この情報処理装置は、CPU2又は外部バスマスタがアクセス可能な外部メモリを備えるようにしてもよく、さらに上記マイクロコンピュータ1を1チップ化し、上記外部バスマスタと外部メモリを1チップ化するようにして様々な用途に柔軟に対応できるようにしてもよい。

【0033】

【発明の効果】以上説明したように、この発明によれば、マイクロコンピュータに内蔵されるメモリに外部からのアクセスを禁止する記憶領域を設定するようにしたので、外部からのメモリのアクセスが制限され、記憶情報の保護ならびに安全性の確保を達成することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係わるマイクロコンピュータの構成を示す図である。

【図2】図1に示すOE制御回路の構成を示す図である。

【図3】従来のマイクロコンピュータ及び情報処理装置の構成を示す図である。

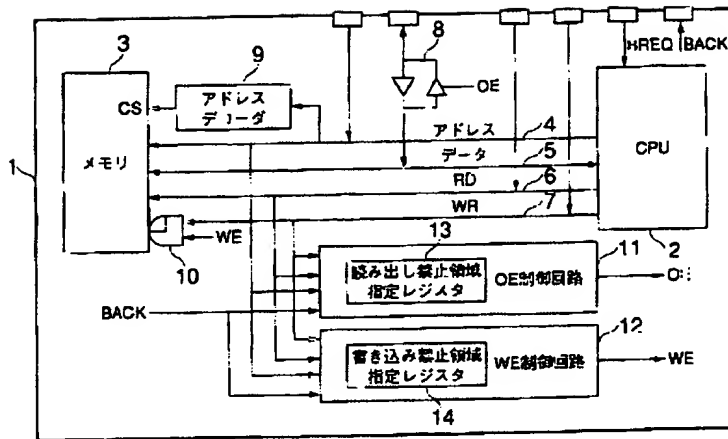
【図4】図3に示す情報処理装置の動作タイミングチャートを示す図である。

【図5】マイクロコンピュータに内蔵されたメモリをアクセスする手法を示す図である。

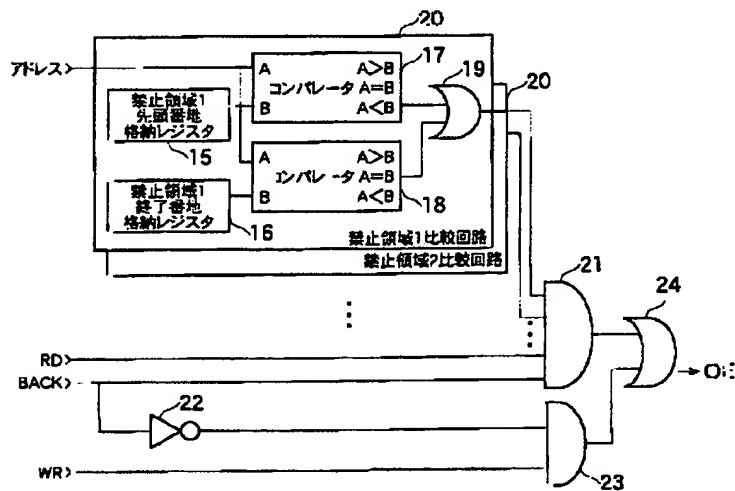
【符号の説明】

- 1 マイクロコンピュータ
- 2 CPU
- 3 メモリ
- 4 アドレスバス
- 5 データバス
- 6, 7 制御信号線
- 8 入出力バッファ
- 9 アドレスデコーダ
- 10, 21, 23 ANDゲート
- 11 OE制御回路
- 12 WE制御回路
- 13 読み出し禁止領域指定レジスタ
- 14 書き込み禁止領域指定レジスタ
- 15 禁止領域先頭番地格納レジスタ
- 16 禁止領域終了番地格納レジスタ
- 17, 18 コンパレータ
- 19, 24 ORゲート
- 20 禁止領域比較回路
- 22 反転ゲート

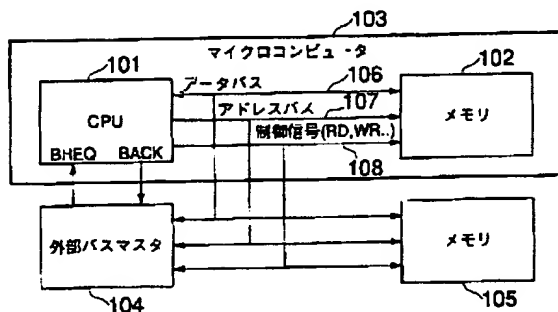
【図1】



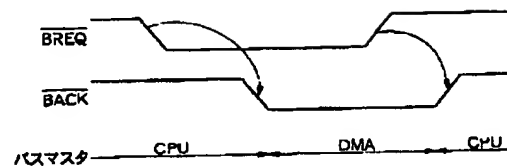
【図2】



【図3】



【図4】



【図5】

